

VIDEO SIGNAL PROCESSOR AND ITS METHOD

Publication number: JP2000224551

Publication date: 2000-08-11

Inventor: SAKASHITA YUKIHIKO

Applicant: CANON KK

Classification:


- International: H04N7/01; G09G3/36; H04N5/44; H04N5/74;
H04N5/66; H04N7/01; G09G3/36; H04N5/44;
H04N5/74; H04N5/66; (IPC1-7): H04N7/01

- european: G09G3/36C; H04N5/44P; H04N5/74M4

Application number: JP19990022750 19990129

Priority number(s): JP19990022750 19990129

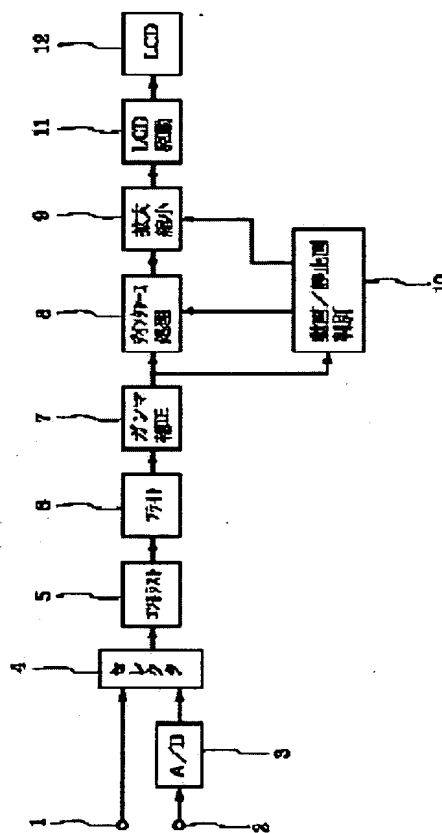
Also published as:

 US6507368 (B1)

Report a data error here

Abstract of JP2000224551

PROBLEM TO BE SOLVED: To display an image at a low cost with an excellent moving picture display characteristic where no line flicker is remarkable based on a video signal of the interlace system by comparing a scanning line signal between fields to discriminate whether the video signal depicts a moving picture or a still picture and displaying the video image with resolution optimum to a characteristic of the input video signal. **SOLUTION:** When a moving picture/still picture discrimination circuit 10 discriminates an input video signal to be a moving picture, a magnification/reduction processing circuit 9 magnifies the signal for each field at a multiple of 3.2 to convert number of horizontal lines, 240 into 768 lines and displays the resulting signal on an LCD 12. When the moving picture/still picture discrimination circuit 10 discriminates the input video signal to be a still picture, a de-interlace circuit 8 alternately reads a scanning signal of consecutive odd numbered and even numbered fields for each scanning line from a storage means that stores interlaced consecutive odd and even numbered field scanning line signals to configure a image whose horizontal line number is 480. The signal is converted into a video signal whose horizontal line number is 768 by magnifying the image whose horizontal line number is 480 at a multiple of 1.6 and the converted signal is displayed on the LCD 12.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-224551

(P2000-224551A)

(43) 公開日 平成12年8月11日 (2000.8.11)

(51) Int.Cl.⁷

H 0 4 N 7/01

識別記号

F I

H 0 4 N 7/01

テーマコード(参考)

C 5 C 0 6 3

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21) 出願番号

特願平11-22750

(22) 出願日

平成11年1月29日 (1999.1.29)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 坂下 幸彦

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100086287

弁理士 伊東 哲也 (外1名)

Fターム(参考) 5C063 AA02 BA04 BA12 CA01 CA05

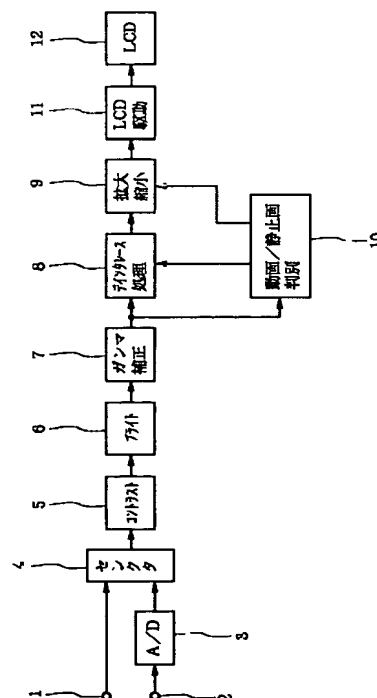
CA38 CA40

(54) 【発明の名称】 映像信号処理装置および方法

(57) 【要約】

【課題】 インタレース方式の映像信号に基づいてラインフリッカが目立たず、かつ動画表示特性が良好な画像表示を低コストで可能にする。

【解決手段】 インタレースされた連続する奇数フィールドおよび偶数フィールドの走査線信号を記憶手段に取り込み、連続する奇数フィールドと偶数フィールドの走査線信号を走査線毎に交互に読み出すことによりデインタレース化を行なう第1のデインタレースモードと、奇数フィールドまたは偶数フィールド内の走査線信号をフィールド毎に読み出し垂直方向に拡大処理を行なうことによりデインタレース化を行なう第2のデインタレースモードとを設け、前記走査線信号をフィールド間にて比較することにより、動画であるかまたは静止画であるかを判断し、静止画と判断した場合には第1のデインタレースモードにより得たノンインタレース信号により表示装置に表示を行ない、動画と判断した場合には第2のデインタレースモードにより得たノンインタレース信号により前記表示装置に表示を行なう。



【特許請求の範囲】

【請求項1】 インタレースされた連続する奇数フィールドおよび偶数フィールドの走査線信号を記憶手段に取り込み、連続する奇数フィールドと偶数フィールドの走査線信号を走査線毎に交互に読み出すことによりデインタレース化を行なう第1のデインタレース手段と、奇数フィールドまたは偶数フィールド内の走査線信号をフィールド毎に読み出し垂直方向に拡大処理を行なうことによりデインタレース化を行なう第2のデインタレース手段と、前記走査線信号をフィールド間にて比較することにより、動画であるかまたは静止画であるかを判断し、静止画と判断した場合には第1のデインタレース手段により得たノンインタレース信号により表示手段に表示を行ない、動画と判断した場合には第2のデインタレース手段により得たノンインタレース信号により前記表示手段に表示を行なう表示制御手段とを具備することを特徴とする映像信号処理装置。

【請求項2】 前記記憶手段は少なくとも1フィールドの走査線信号を記憶し、前記第1のデインタレース手段は、順次入力される走査線信号と該記憶手段によって略1フィールド遅延された走査線信号とを交互に読み出すことによりデインタレース化を行なうことを特徴とする請求項1記載の映像信号処理装置。

【請求項3】 前記表示制御手段は順次入力される走査線信号と前記記憶手段によって略1フィールド遅延された走査線信号とを比較することにより前記フィールド間の比較を行なうことを特徴とする請求項2記載の映像信号処理装置。

【請求項4】 前記表示制御手段はインタレースされた連続する奇数フィールドおよび偶数フィールドの走査線信号を取り込む第2の記憶手段を備え、入力された走査線信号と該第2の記憶手段によって少なくとも略1フィールド以上遅延された走査線信号とを比較することにより前記フィールド間の比較を行なうことを特徴とする請求項2記載の映像信号処理装置。

【請求項5】 前記第2の記憶手段は少なくとも1画素以上の画素データを記憶することが可能であることを特徴とする請求項4記載の映像信号処理装置。

【請求項6】 前記表示手段が、液晶表示装置やプラズマディスプレイ等のデジタル表示装置または液晶プロジェクタであることを特徴とする請求項1～5のいずれかに記載の映像信号処理装置。

【請求項7】 インタレース方式の映像信号を入力するための少なくとも1つのデジタル映像入力端子と1つのアナログ映像入力端子を含む複数の接続端子を備えることを特徴とする請求項6記載の映像信号処理装置。

【請求項8】 第1および第2のデインタレース手段により得たノンインタレース信号を拡大処理する手段をさらに備えることを特徴とする請求項1～7のいずれかに

記載の映像信号処理装置。

【請求項9】 前記拡大手段は、前記ノンインタレース信号の少なくとも2本の隣接する走査線信号により線形補間等のフィルタ演算を行なうことにより拡大処理を行なうことを特徴とする請求項8記載の映像信号処理装置。

【請求項10】 第1および第2のデインタレース手段を前記表示制御手段における動画／静止画判別手段の結果にもとづいて、自動的に切り換えるモードと何れか一方を強制的に選択可能とするモードとを切り換える手段をさらに有することを特徴とする請求項1～9のいずれかに記載の映像信号処理装置。

【請求項11】 インタレースされた連続する奇数フィールドおよび偶数フィールドの走査線信号を記憶手段に取り込み、連続する奇数フィールドと偶数フィールドの走査線信号を走査線毎に交互に読み出すことによりデインタレース化を行なう第1のデインタレース手段と、奇数フィールドまたは偶数フィールド内の走査線信号をフィールド毎に読み出し垂直方向に拡大処理を行なうことによりデインタレース化を行なう第2のデインタレース手段を備え、前記走査線信号をフィールド間にて比較することにより、動画であるかまたは静止画であるかを判断し、静止画と判断した場合には第1のデインタレース手段により得たノンインタレース信号により表示手段に表示を行ない、動画と判断した場合には第2のデインタレース手段により得たノンインタレース信号により前記表示手段に表示を行なうことを特徴とする映像信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は表示装置、特に液晶プロジェクタ等の大画面ディスプレイに適した映像信号処理装置およびその方法に関するものである。

【0002】

【従来の技術】従来、インタレース型映像信号であるテレビ画像信号を液晶表示装置にノンインタレース表示するために、日本国特許第2727583号に従来例として記載されているように、ラインメモリ、フィールドメモリ、フレームメモリ等を用いて、垂直方向の解像度をあげ、画像のちらつきを軽減する下記^①のような試みがなされている。

【0003】^①例えば液晶ディスプレイにおいてテレビ画像を表示する場合を考えてみる。テレビの映像信号は2フィールド(=1フレーム)で1枚の画像が形成されるようなインタレース信号である。日本の場合にはフレーム周波数は30Hzであるので、1走査線の映像信号が更新される周期も30Hzとなる。従って、液晶ディスプレイにおいて、テレビ画像をインタレースで表示しようとするとき1走査線の映像データの書換え周波数は30Hzとなり、液晶の保持特性からしてフリッカ(ちら

つき) となって画面に現れ、非常に見苦しい。

【0004】[ⓐ] これを防ぐ方法として、例えばラインメモリを用いて、擬似的にノンインタレースで画像を形成する方法がある。図8はそのような画像表示をした場合の表示部を示している。すなわち、奇数フィールドでは、第1行に単独に、第2、第3行には同一走査線の、
 …、第2n、第2n+1行には同一走査線の映像信号を表示する。一方、偶数フィールドでは、第1、第2行に同一走査線の、
 …、第2n-1行、第2n行には同一走査線の映像信号を表示する。これにより、画像データの書換え周波数はフィールド周波数と同じ60Hzとなって、フリッカも起こらず、垂直方向の解像度を損なうこともない。

【0005】

【発明が解決しようとする課題】ところで、従来の液晶プロジェクトでは、従来のラインダブラを用いて、[ⓐ] の手法または[ⓑ] の手法によりデインタレースを行っていた。しかしながら、[ⓑ] の手法ではラインフリッカにより画像品位を劣化させたり、文字などを表示した場合に解像度が低いために見づらい。[ⓐ] の手法では、動画を表示する場合に、前後の奇数および偶数フィールドの画像が同一フレーム上に表示されるため、2重像となって表示されるという問題があった。また、同一フレーム内において、静止画領域と動画領域を判別し、それぞれ異なる処理を行なう方法も開発されてきているが、フレームメモリやハードの増加などによるコスト高が問題となっていた。

【0006】そのため、静止画と動画にそれぞれ最適な表示を低コストで実現できる装置、方法が求められていた。

【0007】特に投影して拡大表示を行なう液晶プロジェクトにおいては、拡大表示による相対的な解像度の劣化やインタレースによるラインフリッカが目立つため、大画面の表示装置においては特に問題となっていた。

【0008】本発明は、上述の従来例における問題点を鑑みてなされたもので、インタレース方式の映像信号に基づいてラインフリッカが目立たず、かつ動画表示特性が良好な画像表示を低コストで可能にすることを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために本発明によれば、インタレースされた連続する奇数フィールドおよび偶数フィールドの走査線信号を記憶手段に取り込み、連続する奇数フィールドと偶数フィールドの走査線信号を走査線毎に交互に読み出すことによりデインタレース化を行なう第1のデインタレースモードと、奇数フィールドまたは偶数フィールド内の走査線信号をフィールド毎に読み出し垂直方向に拡大処理を行なうことによりデインタレース化を行なう第2のデインタレースモードを設け、前記走査線信号をフィールド間に

て比較することにより、動画であるかまたは静止画であるかを判断し、静止画と判断した場合には第1のデインタレースモードにより得たノンインタレース信号により表示装置に表示を行ない、動画と判断した場合には第2のデインタレースモードにより得たノンインタレース信号により前記表示装置に表示を行なうことを特徴とする。

【0010】

【作用】上記の構成によれば、ビデオカメラ等より入力されるインタレース方式の映像信号であっても、入力映像の特性に最適な解像度の映像の表示を行なうことができる。それにより、静止画と動画において各々最適な表示を低コストで実現することが可能となるため、大画面の表示装置であっても高画質、高品位の映像を表示することが可能となる。

【0011】特に投影して拡大表示を行なう液晶プロジェクト等の大画面の表示装置においては拡大表示による相対的な解像度の劣化やインタレースによるラインフリッカが改善されるため著しい表示解像度、画質の向上を安価に得ることができる。なお、本発明においては、第1および第2のデインタレース手段を前記表示制御手段における動画/静止画判別手段の結果にもとづいて、自動的に切り換える自動選択モードと何れか一方を強制的に選択可能とする手動選択モードとを切り換える手段をさらに設けてもよい。

【0012】

【実施例】以下、図面を用いて本発明の実施例を説明する。

(第1の実施例) 図1は本発明の第1の実施例に係る映像信号処理装置の回路構成を示す。同図において、1はデジタル映像信号を入力するための入力端子、2はアナログ映像信号を入力するための入力端子、3は入力端子2より入力したアナログ信号をデジタル信号に変換するためのA/D変換器、4は入力端子1より入力されるデジタル信号とA/D変換器3より出力されるデジタル信号の何れか一方の信号を選択して出力するセレクト回路、5はコントラスト調整回路、6はブライト調整回路、7はガンマ補正回路であり、8は2種類以上のデインタレース方法を選択可能なデインタレース処理回路、9は2種類以上の拡大率が設定可能な拡大処理回路、10は入力信号が動画であるか静止画であるかを判別するための判別回路、11はLCD駆動回路であり、12は表示装置であるところの液晶表示装置である。

【0013】まず、図2および3を参照して本発明で用いられるデインタレース方法について説明する。NTSCのテレビジョン信号は、水平ライン(水平走査線)数525本の1フレームの信号を奇数フィールドと偶数フィールドへ各々水平ライン262.5本ずつに分割して構成するインタレース型の映像信号となっている。ここで、525本からブランク領域を除いた映像信号として

水平ライン480本(奇数フィールド240本、偶数フィールド240本)をXGAサイズ(水平1024画素、垂直768画素)の液晶パネルに表示する場合について説明する。

【0014】まず、動画／静止画判別回路により動画として判断した場合には、図3に示すように、奇数フィールドおよび偶数フィールド毎に3.2倍に拡大することにより水平ライン数を各々240本から768本に変換して液晶パネルに表示する。ここで、奇数フィールドと偶数フィールドの画像は、インタレース時のライン配置に合わせて垂直方向にずらして表示する。このようにずらして表示することにより、インタレース時の解像度を保つことが可能となる。さらに、拡大方法として、単純に同じラインを拡大率分繰返して表示するだけでなく、線形補間等のフィルタ操作を行なうことにより、斜め線等もジャギーの少ない滑らかな表示を行なうことが可能となる。

【0015】次に、動画／静止画判別回路により、静止画として判断した場合には、図2に示すように、前後関係にある奇数フィールドの水平ラインと偶数フィールドの水平ラインを交互に配置することにより、480本の画像を構成し、その画像を1.6倍に拡大することにより、768本の映像信号に変換した後に液晶パネルに表示する。

【0016】図1を参照して、第1の実施例について説明する。表示装置に表示を行なうための映像信号は、デジタル映像信号入力端子1またはアナログ映像入力端子2より入力される。アナログ入力端子より入力された映像信号は、A/D変換器3によりデジタル信号に変換される。入力端子1およびA/D変換器3を経た各々のデジタル映像信号は、セレクト回路4に入力され不図示のCPU等からの選択信号によりどちらか一方が選択されて出力される。セレクト回路4より出力された映像信号は、コントラスト調整回路5によりコントラストが調整され、ブライト調整回路6によりブライトが調整される。ブライト調整回路6より出力された信号は、ガンマ補正回路7により、入力映像信号に予め行なわれているCRT用のガンマ特性の除去および表示装置(LCD)の表示特性に適合したガンマ補正を行なう。

【0017】8は2種類以上のデインタレース方法を選択可能なデインタレース処理回路であり、動画／静止画判別回路10により、動画と判別した場合には、図3において説明したように、奇数フィールドおよび偶数フィールドの映像信号をそのまま出力し、拡大／縮小処理回路9により各フィールド毎に3.2倍に拡大することにより水平ライン数を各々240本から768本に変換してXGAサイズ(1024×768)の液晶パネルに表示する。ここで、奇数フィールドと偶数フィールドの画像はインタレース時のライン配置に合わせて垂直方法にずらして表示する。

【0018】また、動画／静止画判別回路10により、静止画と判別した場合には、図2において説明したように、デインタレース回路8により、前後関係にある奇数フィールドのラインと偶数フィールドのラインを交互に配置することにより、水平ライン480本の画像を構成し、その画像を1.6倍に拡大することにより、768本の映像信号に変換した後に液晶表示パネル12に表示する。拡大／縮小回路9より出力された映像信号は、LCD駆動回路11において、液晶表示パネルのタイミングに合わせて、映像信号の出力タイミング調整や駆動信号の発生を行なう。LCD駆動回路11より出力された映像信号および駆動信号により液晶表示装置12に表示を行なう。

【0019】また、各種の映像信号に対するマルチスキャン対応により、例えば、VGA(640×480)、SVGA(800×600)、SXGA(1280×1024)等の映像信号を、固定された画素数の表示装置(例えば、XGA(1024×768))に、拡大／縮小して表示する際においても、本実施例の拡大／縮小回路9を兼用して用いることができるため、コスト的に有利である。

【0020】(第2の実施例)図4に上記動画／静止画判別回路の具体例を示す。入力端子301から入力された映像信号は、フレームメモリ等の記憶手段302により少なくとも1フィールド以上遅延される。遅延した信号と遅延前の信号を比較回路303にて比較することにより、比較結果が予め設定した値より多いか否かを判断する。その結果は、レジスタ304に貯えられ、予め設定した値以上になった場合に動画あるいは静止画であると判断する。305のデインタレース回路は、フレームメモリにより遅延した信号と遅延前の信号を入力することにより、デインタレース処理を行なう。306はメモリコントロール回路である。

【0021】本構成では、動画／静止画判別回路用の記憶手段とデインタレース用の記憶手段を兼用することが可能となるため、低コスト化が可能となる。

【0022】(第3の実施例)図5に上記動画／静止画判別回路の他の具体例を示す。入力端子401より入力された映像信号は、記憶手段402により少なくとも1フィールド以上遅延される。遅延した信号と遅延前の信号を比較回路403にて比較することにより、比較結果が予め設定した値より多いか否かを判断する。その結果は、レジスタに貯えられ、予め設定した値以上になった場合に動画あるいは静止画であると判断する。405のデインタレース回路は、デインタレース回路内のフレームメモリにより遅延した信号と遅延前の信号を入力することにより、デインタレース処理を行なう。406はメモリコントロール回路であり、フィールド内の少なくとも1つの画素を選択して記憶手段402に記憶して、その遅延した信号に対応する異なるフィールドの遅延前の

信号とを比較手段403にて比較を行なうためのタイミングを作成する。

【0023】本構成では、動画／静止画判別回路用の記憶手段とデインタレース用の記憶手段は別途必要となるが、動画／静止画判別用の記憶手段402を少なくとも1画素分の容量とし、1フィールド毎に比較画素を変更することにより、表示領域内の動画／静止画の判別を、安価に構成することが可能となる。また、記憶領域をデインタレース回路等と共用しないために、各種のデインタレース回路を別途選択して用いることが可能となり、開発効率の向上や、それぞれの回路を独立して、他の用途に転用し易いという利点がある。

【0024】(第4の実施例)図6は、本発明を適用した液晶プロジェクタ(反射型液晶表示装置)の駆動回路系の全体ブロック図を示す。ここで、1310はパネルドライバであり、図1のLCD駆動回路11に相当する。パネルドライバ1310はRGB映像信号を極性反転し、かつ所定の電圧増幅をした液晶駆動信号を形成するとともに、対向電極(不図示)の駆動信号、各種タイミング信号等を形成している。1312はインターフェースであり、図1のセクタ4およびそれより前段の部分に相当する。インターフェース1312は各種映像および制御伝送信号を標準映像信号等にデコードしている。また、1311はデコーダであり、図1のコントラスト調整回路5〜拡大／縮小回路9の部分に相当する。デコーダ1311はインターフェース1312からの標準映像信号をRGB原色映像信号および同期信号に、即ち液晶パネル1302に対応した画像信号にデコード・変換している。1314はバラストであり、楕円リフレクタ1307内のアークランプまたはハロゲンランプ等の光源1308を駆動点灯する。1315は電源回路であり、各回路ブロックに対して電源を供給している。1313は不図示の操作部を内在したコントローラであり、図1の動画／静止画判別回路10に相当する部分を含んでいる。コントローラ1313は上記各回路ブロックを総合的にコントロールするものである。

【0025】図7は図6のプロジェクタの光学系の概念図である。図7において、1372はリフレクタ1307による光源像をしばり込む集光レンズ、1373、1375は平面状の凸型フレネルレンズ、1374は光源からの光をR、G、Bに分解する色分解光学素子で、ダイクロミックミラー、回析格子等が有効である。

【0026】また、1376はR、G、B光に分離されたそれぞれの光をR、G、B3つの液晶パネル1302に導くそれぞれのミラー群、1377は各パネル(反射型液晶素子)1302をR、G、Bに分離された集光ビームの平行光で照明するための視野レンズである。また、1379の位置にはしばりがある。また、1380は複数のレンズを組み合わせて反射型液晶パネル1302の像を拡大する投射レンズ、1381はスクリーン

で、通常、投射光を平行光へ変換するフレネルレンズと上下、左右に広視野角として表示するレンチキュラレンズの2板より構成されると明瞭な高コントラストで明るい画像を得ることができる。図7では、1色のパネルのみ図示されているが、色分解光学素子1374からしばり部1379の間は3色それぞれに分離されており、3板パネルが配置されている。また、反射型液晶パネル表面にマイクロレンズアレーを設け、異なる入射光を異なる画素領域に照射させる配置をとることにより、3板のみならず、単板構成でもカラー表示可能であることは言うまでもない。

【0027】液晶素子1302の液晶層に電圧が印加され、各画素で正反射した光は、1379に示すしばり部を透過しスクリーン上に投射される。一方、電圧が印加されずに、液晶層が散乱体となっている時、反射型液晶素子へ入射した光は、等方的に散乱し、1379に示す絞り部の開口を見込む角度の中の散乱光以外は、投射レンズには入らない。これにより黒を表示する。以上の光学系からわかるように、本実施例の反射型液晶プロジェクタは偏光板が不要で、しかも画素電極の全面が信号光が高反射率で投射レンズにはいるため、従来よりも2〜3倍明るい表示が表現できた。

【0028】

【発明の効果】以上説明したように本発明によれば、デインタレースされた連続する奇数フィールドおよび偶数フィールドの走査線信号を記憶手段に取り込み、連続する奇数フィールドと偶数フィールドの走査線信号毎に交互に読み出すことによりデインタレース化を行なう第1のデインタレースモードと、奇数フィールドまたは偶数フィールド内の走査線信号をフィールド毎に読み出し垂直方向に拡大処理を行なうことによりデインタレース化を行なう第2のデインタレースモードを備え、前記走査線信号をフィールド間にて比較することにより、動画または静止画であるかを判断し、静止画と判断した場合には第1のデインタレースモードにより得たノンインタレース信号により表示装置に表示を行ない、動画と判断した場合には第2のデインタレースモードにより得たノンインタレース手法により前記表示装置に表示を行なうようにしたため、ビデオカメラ等より入力されるインタレース方式の映像信号であっても、入力映像の特性に最適な解像度の映像の表示を行なうことができ、それにより、静止画と動画において各々最適な表示を低コストで実現することが可能となるため、大画面の表示装置であっても高画質、高品位の映像を表示することが可能となる。

【0029】特に投影して拡大表示を行なう液晶プロジェクタ等の大画面の表示装置においては拡大表示による相対的な解像度の劣化やデインタレースによるラインフリッカが改善されるため著しい表示解像度、画質の向上を安価に得ることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例に係る映像信号処理装置の回路構成図である。

【図2】 本発明に係る第1のデインタレース処理方法の説明図である。

【図3】 本発明に係る第2のデインタレース処理方法の説明図である。

【図4】 本発明の第2の実施例に係る動画／静止画判別回路を示す図である。

【図5】 本発明の第3の実施例に係る動画／静止画判別回路を示す図である。

【図6】 本発明の第4の実施例に係る液晶プロジェク

タの駆動回路系を示すブロック図である。

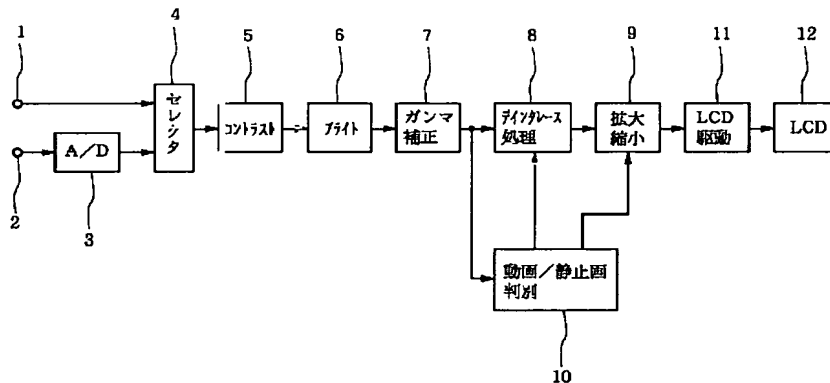
【図7】 図6のプロジェクタの光学系の概念図である。

【図8】 従来の表示方法の一例を示す説明図である。

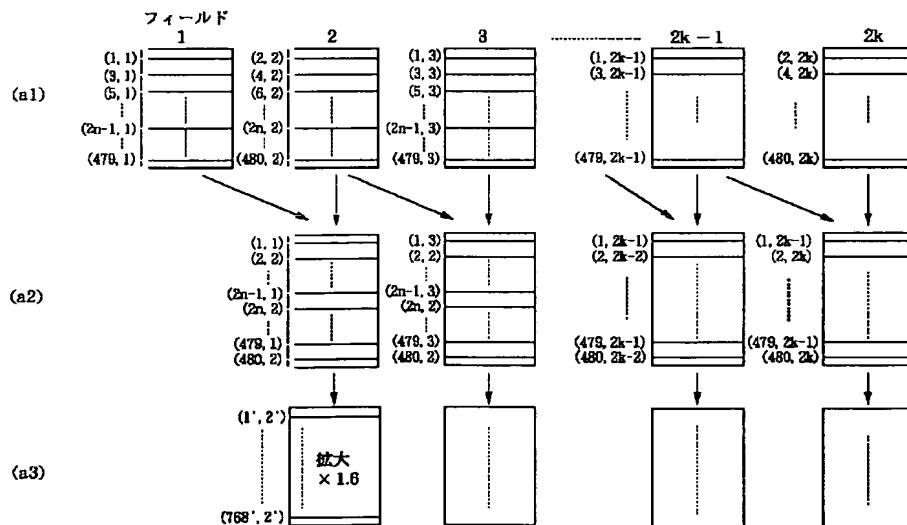
【符号の説明】

1：デジタル映像入力端子、2：アナログ映像入力端子、3：A/D変換器、4：セクタ回路、5：コントラスト調整回路、6：ブライト調整回路、7：ガンマ補正回路、8：デインタレース処理回路、9：拡大／縮小処理回路、10：動画／静止画判別回路、11：LCD駆動回路、12：液晶表示装置。

【図1】

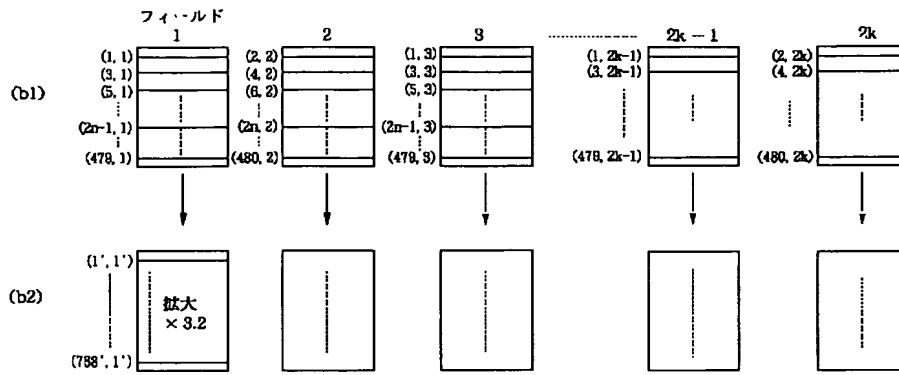


【図2】



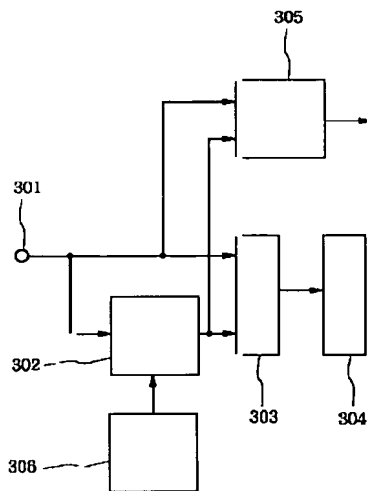
* 上図において、 (y,x) = (ライン, フィールド)

【図3】

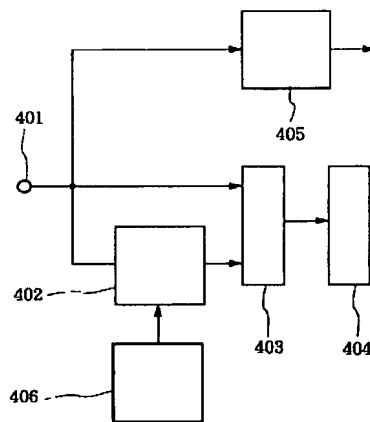


*上図において、(y,z) = (ライン,フィールド)

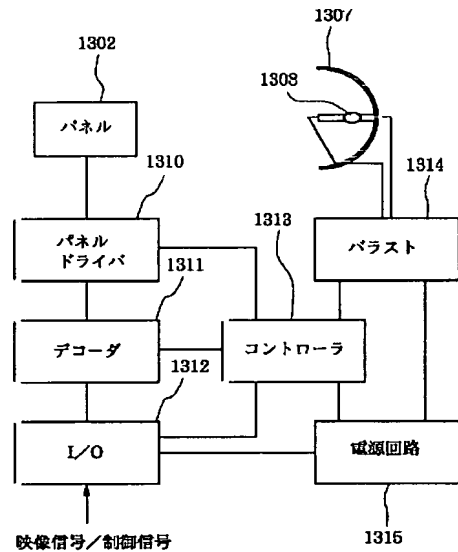
【図4】



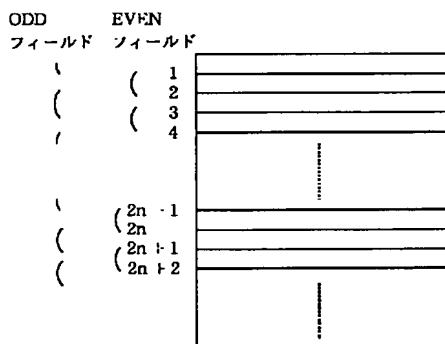
【図5】



【図6】



【図8】



【図7】

